

Attorney's Docket No.: 10417-084001 / F51-134741M/KIK

0460
7-3-01.

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant : Izuo Iida
Serial No. : 09/876,554
Filed : June 7, 2001
Title : METHOD OF MANUFACTURING SEMICONDUCTOR DEVICE

Art Unit : Unknown
Examiner : Unknown

Commissioner for Patents
Washington, D.C. 20231

TRANSMITTAL OF PRIORITY DOCUMENT UNDER 35 USC §119

Applicant hereby confirms his claim of priority under 35 USC §119 from the following application(s):

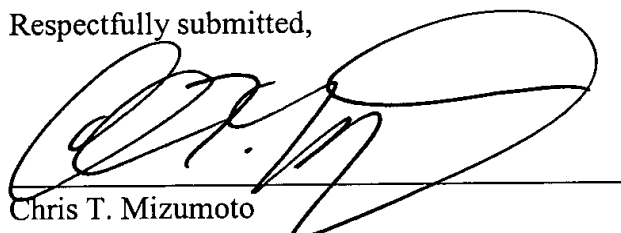
- Japan Application No. 2000-173356 filed June 9, 2000
- Japan Application No. 2000-173357 filed June 9, 2000

A certified copy of each application from which priority is claimed is submitted herewith.

Please apply any charges or credits to Deposit Account No. 06-1050.

Respectfully submitted,

Date: July 18, 2001


Chris T. Mizumoto
Reg. No. 42,899

Fish & Richardson P.C.
45 Rockefeller Plaza, Suite 2800
New York, NY 10111
Telephone: (212) 765-5070
Facsimile: (212) 258-2291

30060087.doc

CERTIFICATE OF MAILING BY FIRST CLASS MAIL

I hereby certify under 37 CFR §1.8(a) that this correspondence is being deposited with the United States Postal Service as first class mail with sufficient postage on the date indicated below and is addressed to the Commissioner for Patents, Washington, D.C. 20231.

July 18, 2001

Date of Deposit

Signature



Rose Papetti

Typed or Printed Name of Person Signing Certificate



日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2000年 6月 9日

出 願 番 号

Application Number:

特願2000-173357

出 願 人

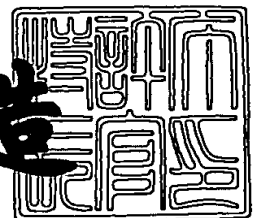
Applicant(s):

三洋電機株式会社

2001年 5月30日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3046137

【書類名】 特許願

【整理番号】 KIA1000037

【提出日】 平成12年 6月 9日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 29/78
H01L 27/10

【発明者】

【住所又は居所】 大阪府守口市京阪本通 2 丁目 5 番 5 号 三洋電機株式会社
社内

【氏名】 飯田 伊豆雄

【特許出願人】

【識別番号】 000001889

【氏名又は名称】 三洋電機株式会社

【代表者】 近藤 定男

【代理人】

【識別番号】 100111383

【弁理士】

【氏名又は名称】 芝野 正雅

【連絡先】 0 3 - 3 8 3 7 - 7 7 5 1 法務・知的財産部 東京事
務所

【手数料の表示】

【予納台帳番号】 013033

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9904451

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置の製造方法

【特許請求の範囲】

【請求項 1】 浮遊ゲートと制御ゲートを有する不揮発性メモリセルトランジスタと、単一の絶縁ゲートを有する MOS トランジスタとを同一半導体基板上に備える半導体装置の製造方法であって、

半導体基板上に第 1 のシリコン層を形成する工程と、

前記 MOS トランジスタのゲート絶縁膜形成領域の第 1 のシリコン層を選択的にエッチングすることにより除去する工程と、

前記選択的なエッチングにより露出された第 1 のシリコン層の側面を含む半導体基板の前面を耐酸化膜で被覆する工程と、

前記浮遊ゲート形成領域の耐酸化膜を選択的に除去すると共に前記不揮発性メモリセルトランジスタの浮遊ゲート形成領域上の耐酸化膜を選択的に除去する工程と、

熱酸化により浮遊ゲート形成領域上にロコス形状の酸化膜を形成すると共に前記 MOS トランジスタ形成領域にゲート絶縁膜を形成する工程と、

残存した耐酸化膜を除去する工程と、

前記ロコス形状の酸化膜をマスクとして、残存した前記第 1 のシリコン層を除去する工程と、

前記不揮発性メモリセルのトンネル絶縁膜を形成する工程と、

全面に第 2 のシリコン層を形成する工程と、

この第 2 のシリコン層を選択的にエッチングすることにより、前記不揮発性メモリセルの制御ゲート及び MOS トランジスタのゲートを同時に形成する工程と、を有することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、半導体装置の製造方法に関し、さらに詳しく言えば、絶縁された浮遊ゲートと制御ゲートを有する不揮発性メモリセルトランジスタと、単一の絶縁ゲ

ートを有するMOSトランジスタとを同一半導体基板上に備える半導体装置の製造方法に関する。

【0002】

【従来の技術】

LSIメモリにおいて、マスクROM、PROM (Programmable ROM)、EPROM (Erasable and Programmable ROM)、EEPROM (Electrical Erasable and Programmable ROM) 等の不揮発性半導体メモリが知られている。

【0003】

特に、EPROMやEEPROMでは、浮遊ゲートに電荷を蓄積し、電荷の有無による閾値電圧の変化を制御ゲートによって検出することで、データの記憶を行う。また、EEPROMには、メモリチップ全体でデータの消去を行うか、あるいは、不揮発性半導体メモリセルアレイを任意のブロックに分けてその各ブロック単位でデータの消去を行うフラッシュEEPROM (フラッシュメモリとも称す。) がある。

【0004】

フラッシュEEPROMを構成する不揮発性半導体メモリセルは、スプリットゲート型とスタックゲート型に大きく分類される。スプリットゲート型のフラッシュEEPROMは、WO92/18980 (G11C 13/00) に開示されている。図7に、同公報 (WO92/18980) に記載されているスプリットゲート型不揮発性半導体メモリセル101の断面構造を示す。

【0005】

例えば、P型単結晶シリコン基板102上にN型のソースSおよびドレインDが形成されている。ソースSとドレインDに挟まれたチャネルCH上に、第1の絶縁膜103を介して浮遊ゲートFGが形成されている。浮遊ゲートFG上に第2の絶縁膜104を介して制御ゲートCGが形成されている。制御ゲートCGの一部は、第1の絶縁膜103を介してチャネルCH上に配置され、選択ゲート105を構成している。第2の絶縁膜104に囲まれた浮遊ゲートFGに電子を蓄えることでデータの記憶を行う。

【 0 0 0 6 】

【 発明が解決しようとする課題 】

ところで、近年では上述したフラッシュ E E P R O M をロジック I C やマイクロコンピュータなどに搭載したシステムが急速に開発されつつある。そのようなシステム L S I において、例えば 5 V 電源で動作するマイクロコンピュータの入出力回路に 1 0 V 程度の外部信号が入力される場合があるため、中耐圧 M O S トランジスタを新たに付加する必要があった。

【 0 0 0 7 】

また、フラッシュ E E P R O M を搭載したマイクロコンピュータに、さらに別の機能を持った高電源電圧動作の I C 、例えば携帯電話用のシステムではリチウム電池の保護用 I C を 1 チップ上に搭載する場合には、3 0 V 程度の高い電圧が M O S デバイスに印加されるので、さらに耐圧（ゲート耐圧、ソースドレイン間耐圧）を向上させた高耐圧 M O S トランジスタを新たに付加する必要が生じている。

【 0 0 0 8 】

高耐圧 M O S トランジスタ（例えば 3 0 V 耐圧）では、ゲートに 3 0 V の高い電圧が印加されるので、マイクロコンピュータの論理回路部分を構成するコンベンショナルタイプの M O S トランジスタ（例えば 5 V 耐圧）に比して厚いゲート絶縁膜が必要である。しかし、高耐圧 M O S トランジスタ専用のゲート酸化行程を追加すると、熱処理量が増加し、不揮発性メモリセルの特性が変化してしまう。

【 0 0 0 9 】

さらに高いゲート絶縁膜耐圧を必要とする高耐圧 M O S トランジスタでは、ゲート絶縁膜をさらに厚くする必要がある。しかし、第 2 の絶縁膜 1 0 4 はトンネル酸化膜として最適な膜厚であるため、上記の製造方法では、高耐圧 M O S トランジスタに必要なゲート絶縁膜厚が得られなかった。

【 0 0 1 0 】

本発明は上述した課題に鑑みて為されたものであり、不揮発性メモリセルの特性を変動させることなく、不揮発性メモリセルと高耐圧 M O S トランジスタとを

同一半導体チップ上に形成する製造方法を提供することを目的としている。

【0011】

【課題を解決するための手段】

本発明の半導体装置の製造方法は、浮遊ゲートと制御ゲートを有する不揮発性メモリセルトランジスタと、単一の絶縁ゲートを有するMOSトランジスタとを同一半導体基板上に備える半導体装置の製造方法であって、半導体基板上に第1のシリコン層を形成する工程と、前記MOSトランジスタのゲート絶縁膜形成領域の第1のシリコン層を選択的にエッチングすることにより除去する工程と、前記選択的なエッチングにより露出された第1のシリコン層の側面を含む半導体基板の前面を耐酸化膜で被覆する工程と、前記浮遊ゲート形成領域の耐酸化膜を選択的に除去すると共に前記不揮発性メモリセルトランジスタの浮遊ゲート形成領域上の耐酸化膜を選択的に除去する工程と、熱酸化により浮遊ゲート形成領域上にロコス形状の酸化膜を形成すると共に前記MOSトランジスタ形成領域にゲート絶縁膜を形成する工程と、残存した耐酸化膜を除去する工程と、前記ロコス形状の酸化膜をマスクとして、残存した前記第1のシリコン層を除去する工程と、前記不揮発性メモリセルのトンネル絶縁膜を形成する工程と、全面に第2のシリコン層を形成する工程と、この第2のシリコン層を選択的にエッチングすることにより、前記不揮発性メモリセルの制御ゲート及びMOSトランジスタのゲートを同時に形成する工程と、を有することを特徴とする。

【0012】

【発明の実施の形態】

次に、本発明の実施形態による半導体装置の製造方法について図面を参照しながら説明する。図1乃至図6は、各工程における半導体装置の断面図である。

【0013】

図1において、左に高耐圧MOSトランジスタ形成領域、右にメモリセル形成領域が夫々示されている（以下、図2～図6において同様である）。p型シリコン基板1の表面にn型ソース層2、n型ドレイン層3が離間して形成される。このn型ソース層2とn型ドレイン層3との間のp型シリコン基板1の表面がチャネル領域4となる。n型ソース層2、n型ドレイン層3は、例えば

リンをドーズ量 $1 \times 10^{13} / \text{cm}^2$ の条件で p 型シリコン基板 1 にイオン注入し、その後温度 1000°C 、約 3 時間、熱拡散することにより、約 $3 \mu\text{m}$ の深さに形成される。

【 0 0 1 4 】

5、6 は、その後選択酸化法によって形成された熱酸化膜でいわゆるロコス膜 (LOCOS) と呼ばれているものであり、 400 nm 程度の膜厚を有している。5 は、ゲート・ソース間、ゲート・ドレイン間耐圧を向上するためのロコス膜であり、6 は素子分離用のロコス膜である。

【 0 0 1 5 】

この後、メモリセル領域を含む全面に 8 nm 程度のゲート絶縁膜 7 を熱酸化により形成する。さらに、LPCVD 法により全面に約 200 nm のリンドーブされたポリシリコン層 8 を形成し、フォトリソグラフィ技術により、高耐圧 MOS トランジスタのゲート絶縁膜形成領域に開口部 9 A を有するフォトレジスト層 9 を形成し、フォトレジスト層 9 をマスクとして、ゲート絶縁膜形成領域上のポリシリコン層 8 を除去する。

【 0 0 1 6 】

次に、図 2 に示すように、フォトレジスト層 9 を除去した後、LPCVD 法により全面に約 20 nm のシリコン窒化膜 (耐酸化膜) 10 を堆積する。このとき、エッチングされたポリシリコン層 8 の側面 8 A はシリコン窒化膜 10 によって被覆される。

【 0 0 1 7 】

次に、図 3 に示すように、フォトリソグラフィ技術により、ゲート絶縁膜形成領域に開口部を有するフォトレジスト層 11 を形成し、このフォトレジスト層 11 をマスクとしてシリコン窒化膜 10 をエッチングし除去する。このとき、ポリシリコン層 8 の側面 8 A はシリコン窒化膜 10 によって被覆された状態に維持するように、フォトレジスト層 11 の開口部の端の位置を調整する。

【 0 0 1 8 】

次に、図 4 に示すように、フォトレジスト層 11 を除去した後に、熱酸化により、浮遊ゲート形成領域上にロコス形状の約 150 nm の膜厚の酸化膜 12 を形

成する。この領域ではシリコン窒化膜 1 0 を耐酸化性マスクとして用いた、いわゆる選択酸化プロセスとなる。また、この熱酸化により同時に、高耐圧 MOS トランジスタ形成領域に約 1 5 0 n m の膜厚のゲート絶縁膜 1 3 が形成される。このとき、ポリシリコン層 8 の側面 8 A をシリコン窒化膜 1 0 によって被覆しているので、この側面 8 A が酸化されることが防止される。

【 0 0 1 9 】

次に、シリコン窒化膜 1 0 を除去した後に、図 5 に示すようにロコス形状の酸化膜 1 2 をマスクとしてポリシリコン層 8 をエッチングすると、ロコス形状の酸化膜 1 2 下に浮遊ゲート 1 4 が形成される。その結果、浮遊ゲート 1 4 の角部 1 4 A は先鋭な形状に下降されるので、後に説明するように、浮遊ゲート 1 4 から制御ゲートへのトンネル電流が流れやすくなる。

【 0 0 2 0 】

次に、図 6 に示すように、ヒ素のイオン注入、熱拡散により、浮遊ゲート 1 4 の一端に自己整合した n + 型ソース拡散層 1 5 を形成する。さらに、不揮発性メモリセルの浮遊ゲート 1 4 及び酸化膜 1 2 を被覆するように、約 2 0 n m のトンネル絶縁膜 1 6 を形成する。ここで、トンネル絶縁膜 1 6 は熱酸化及び C V D 法により形成する。その後、L P C V D 法により全面に 2 0 0 n m 程度のリンドープされたポリシリコン層を形成する。

【 0 0 2 1 】

そして、フォトリソグラフィ技術により、不揮発性メモリセルの制御ゲート 1 7、高耐圧 MOS トランジスタのゲート電極 1 8 を形成する。不揮発性メモリセルの制御ゲート 1 7 は、浮遊ゲート 1 4 上から p 型シリコン基板 1 上に延びた領域に形成される。この後、ヒ素のイオン注入により、不揮発性メモリセルの n + 型ドレイン領域 1 9、高耐圧 MOS トランジスタの n + 型ソース拡散層 2 0、n + 型ドレイン拡散層 2 1 を形成する。

【 0 0 2 2 】

以上の製造工程により、不揮発性メモリセルと高耐圧 MOS トランジスタとを同一のシリコン基板 1 上に形成することができる。この不揮発性メモリセルの動作を簡単に説明すると、データ書き込みの時は、n + 型ソース拡散層 1 5 に高電

圧が印加される。n+型ソース拡散層15と浮遊ゲート14は強く容量結合しているので、n+ドレイン拡散層19から流れ出たチャネルホットエレクトロンは浮遊ゲート14に注入される。

【0023】

データ消去の時は、n+型ソース拡散層15、n+ドレイン拡散層19に対して制御ゲート17に高電圧が印加される。これにより、浮遊ゲート14のエレクトロンはトンネル絶縁膜16を貫通するトンネル電流となって制御ゲート17に流入される。このとき、浮遊ゲート14の角部14Aが先鋭な形状に加工されているので、トンネル電流が流れやすく、消去効率を向上している。

【0024】

このように不揮発性メモリセルは浮遊ゲート14のエレクトロンの蓄積状態に応じたチャネル伝導率の変化によって1または0の2値データ（あるいは多値データ）を記憶する。

【0025】

一方、高耐圧MOSトランジスタでは、ゲート絶縁膜13が140nm程度と厚く形成されており、n+型ソース拡散層20、n+型ドレイン拡散層21とゲート電極18の間に厚いロコス膜5が介在しており、さらに、n+型ソース拡散層20、n+型ドレイン拡散層21は低濃度のn-型ソース層2、n-型ドレイン層3内に形成されているので、いずれのソース、ドレイン、ゲートのいずれの端子に30V程度の高電圧が印加されても耐えられる。

【0026】

また、ゲート絶縁膜13はロコス形状の酸化膜12の形成用の熱酸化工程を利用して形成しているので、不揮発性メモリセル形成のために最適化された熱処理量に変化がなく、不揮発性メモリセルの特性が変動することが防止される。

【0027】

また、上記熱酸化工程時に、ポリシリコン層8の側面8Aをシリコン窒化膜10によって被覆しているので、この側面8Aが酸化されることが防止されるので、側面8Aの酸化された膜がロコス膜5上に残り、ダストの発生原因となったり、上層に形成される層間絶縁膜の平坦性を阻害することが防止される。

【 0 0 2 8 】

【発明の効果】

本発明によれば、不揮発性メモリセルの特性を変動させることなく、不揮発性メモリセルと高耐圧MOSトランジスタとを同一半導体チップ上に形成することができる。

【 0 0 2 9 】

また、第1のシリコン層の側面を耐酸化膜で被覆した状態で、熱酸化により浮遊ゲート形成領域上にロコス形状の酸化膜を形成すると共にMOSトランジスタ形成領域にゲート絶縁膜を形成しているので、第1のシリコン層の側面が酸化されないで、側面が酸化されることによるダストの発生や、上層に形成される層間絶縁膜の平坦性が阻害されることが防止される。

【図面の簡単な説明】

【図1】

本発明の実施形態による半導体装置の製造方法を示す断面図である。

【図2】

本発明の実施形態による半導体装置の製造方法を示す断面図である。

【図3】

本発明の実施形態による半導体装置の製造方法を示す断面図である。

【図4】

本発明の実施形態による半導体装置の製造方法を示す断面図である。

【図5】

本発明の実施形態による半導体装置の製造方法を示す断面図である。

【図6】

本発明の実施形態による半導体装置の製造方法を説明する断面図である。

【図7】

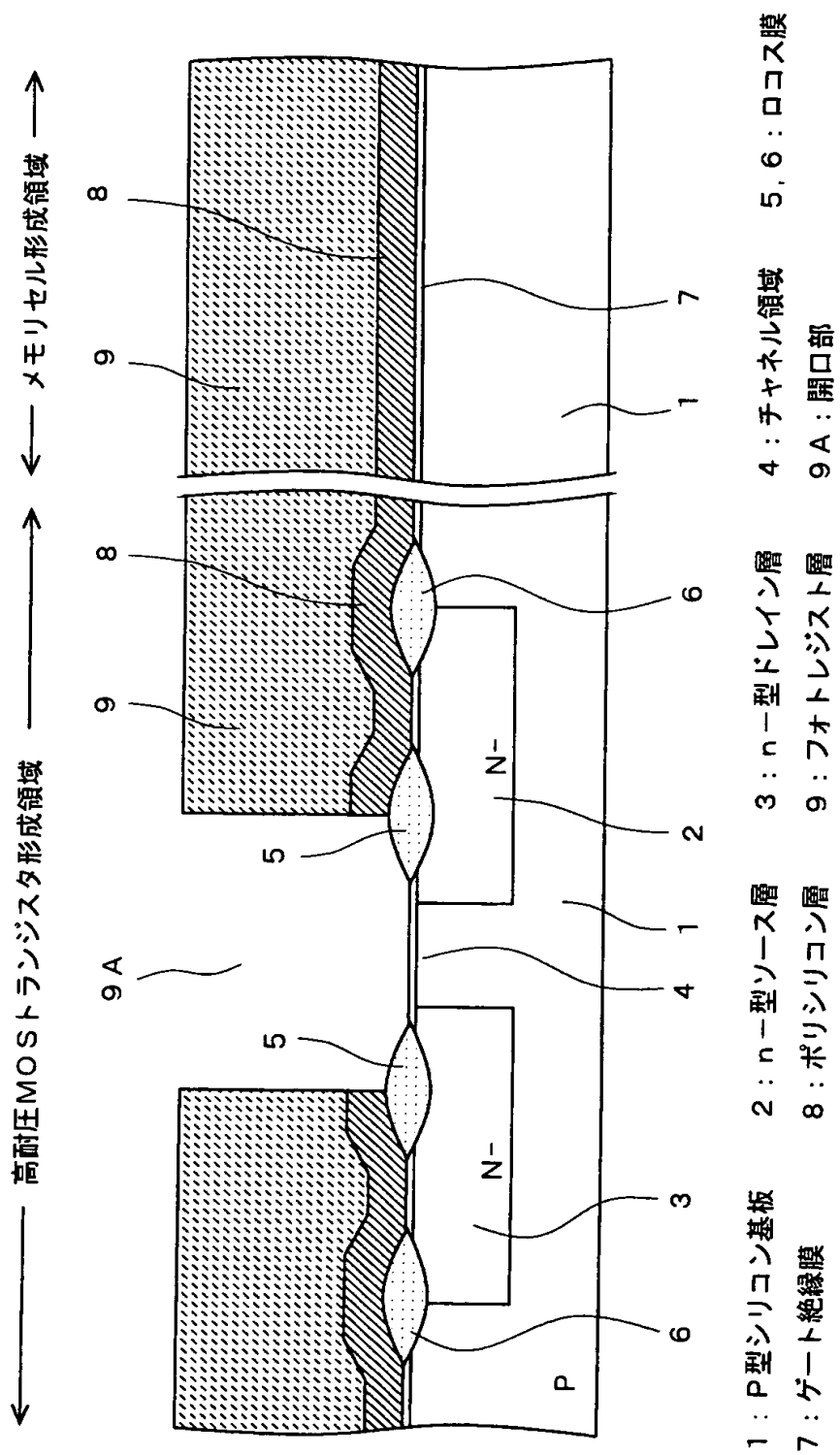
スプリットゲート型不揮発性半導体メモリセルの断面図である。

特 2 0 0 0 - 1 7 3 3 5 7

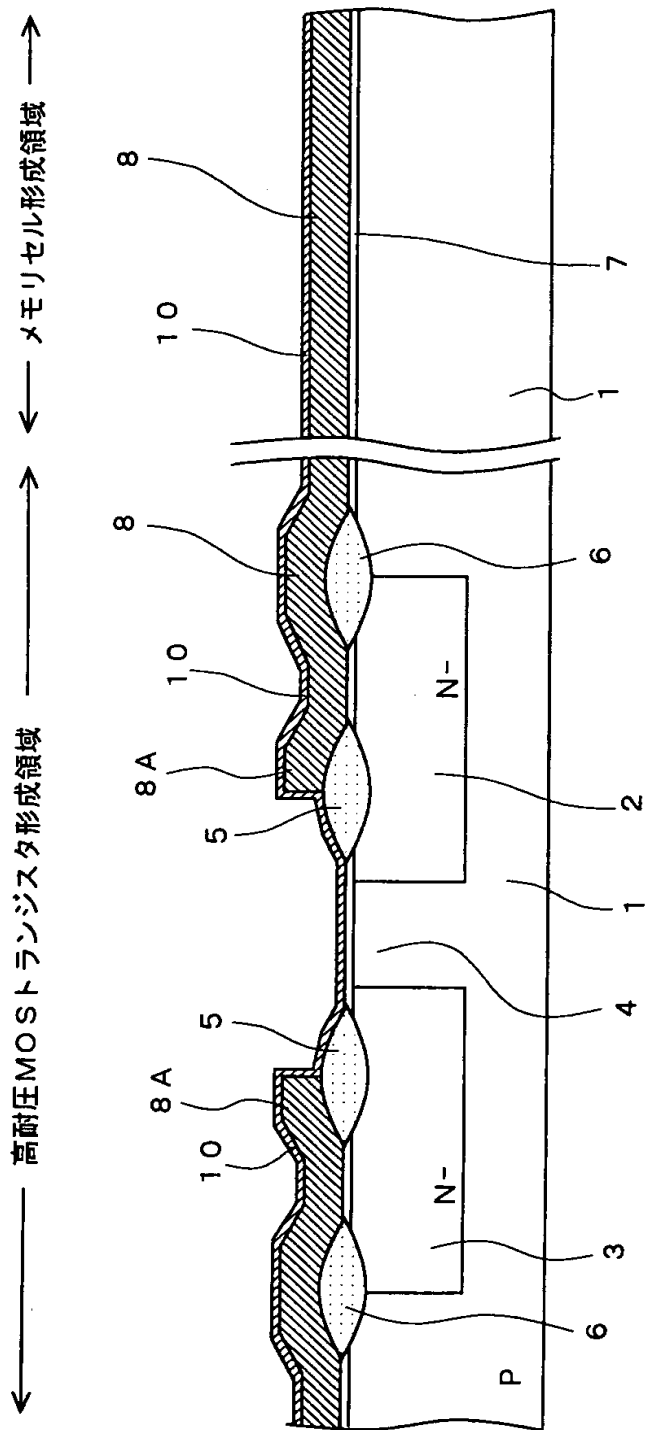
【書類名】

図面

【図1】

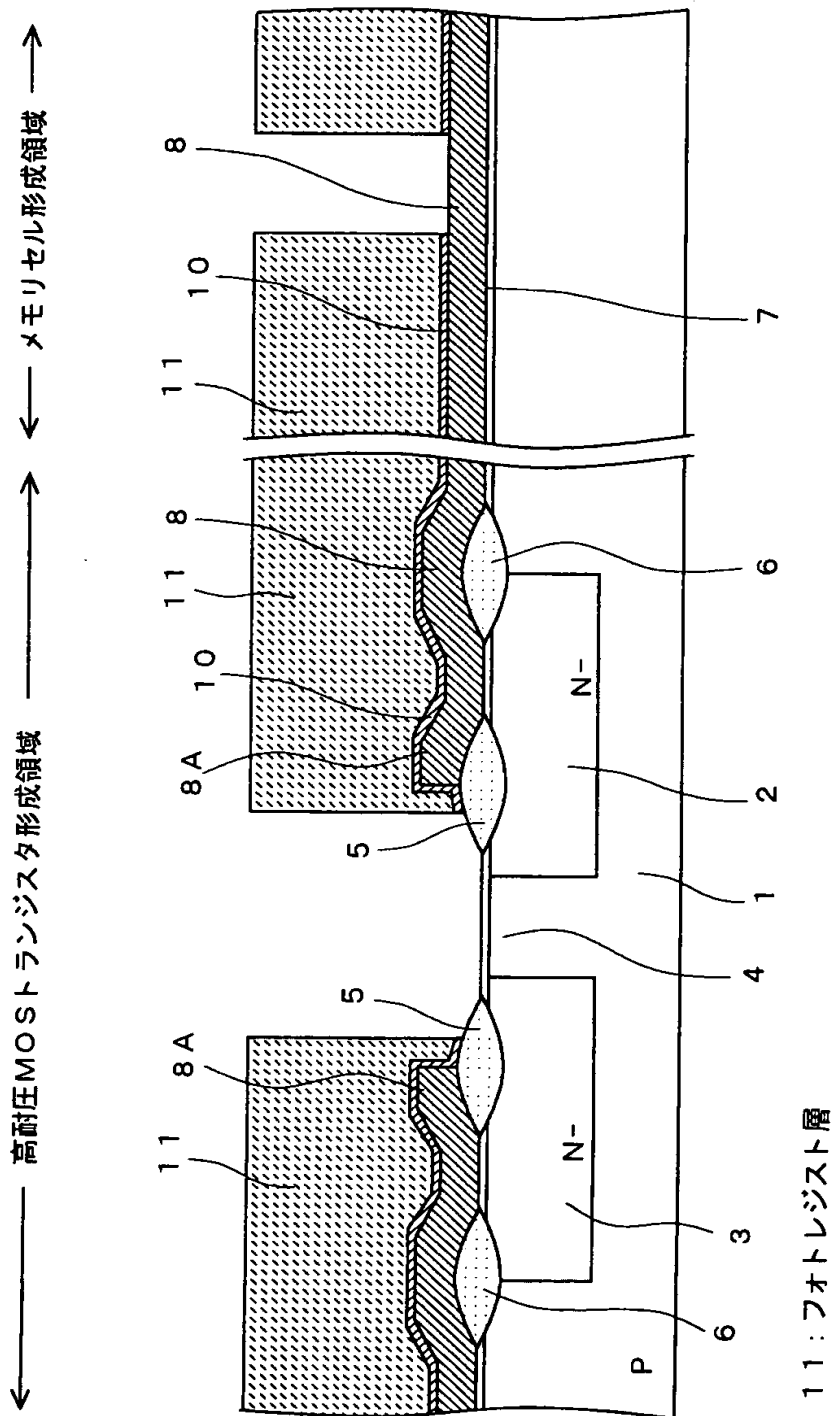


【図 2】

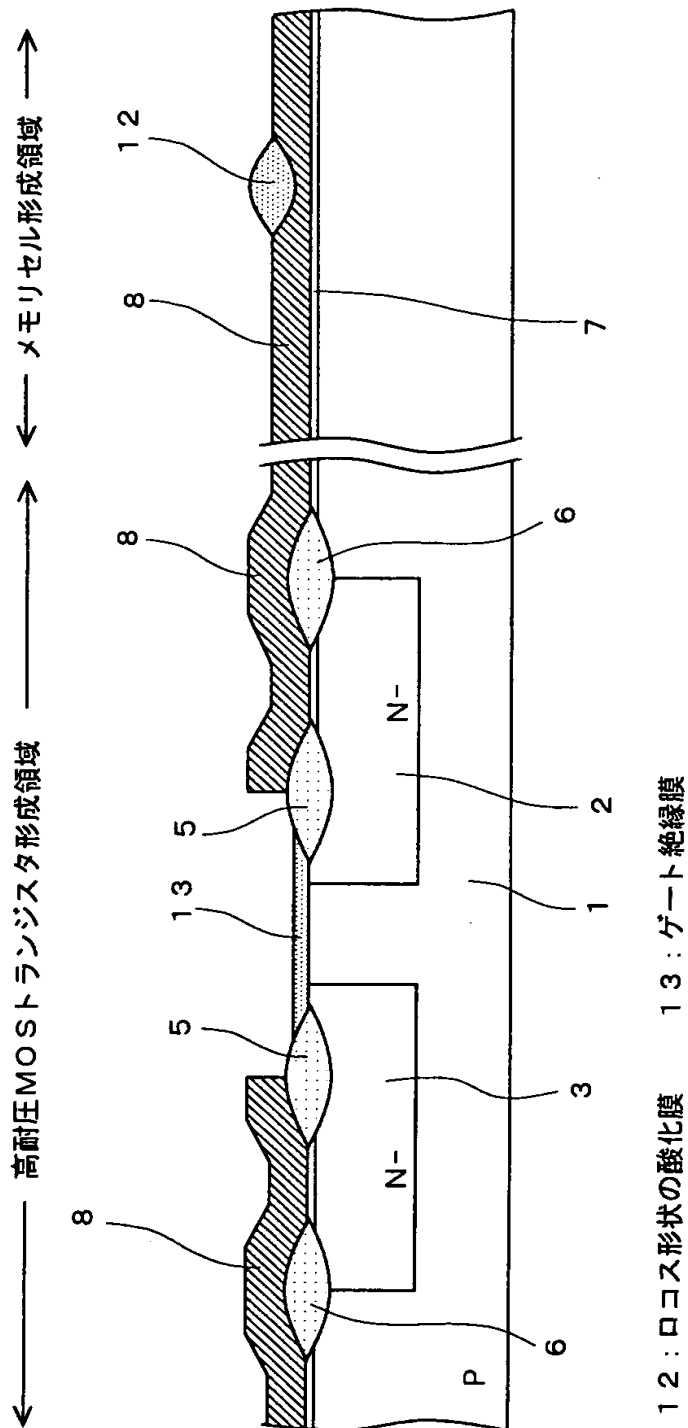


8A : ポリシリコン層 8 の側面 10 : シリコン窒化膜

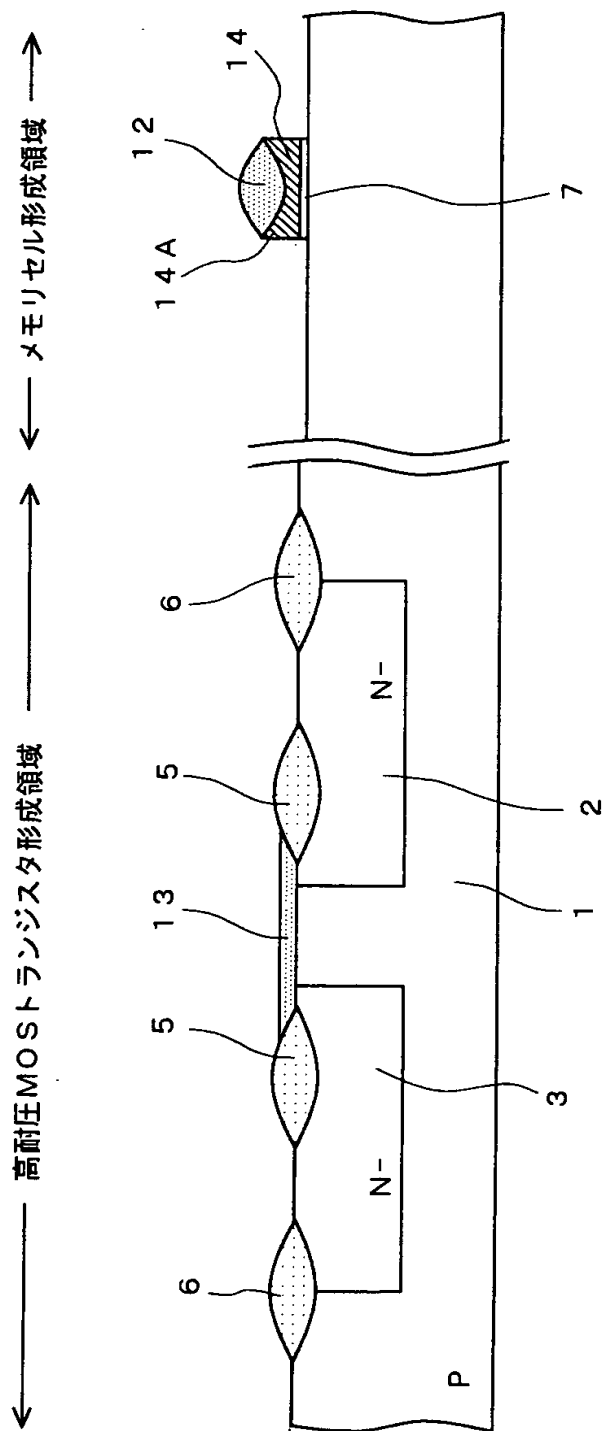
【図 3】



【図4】

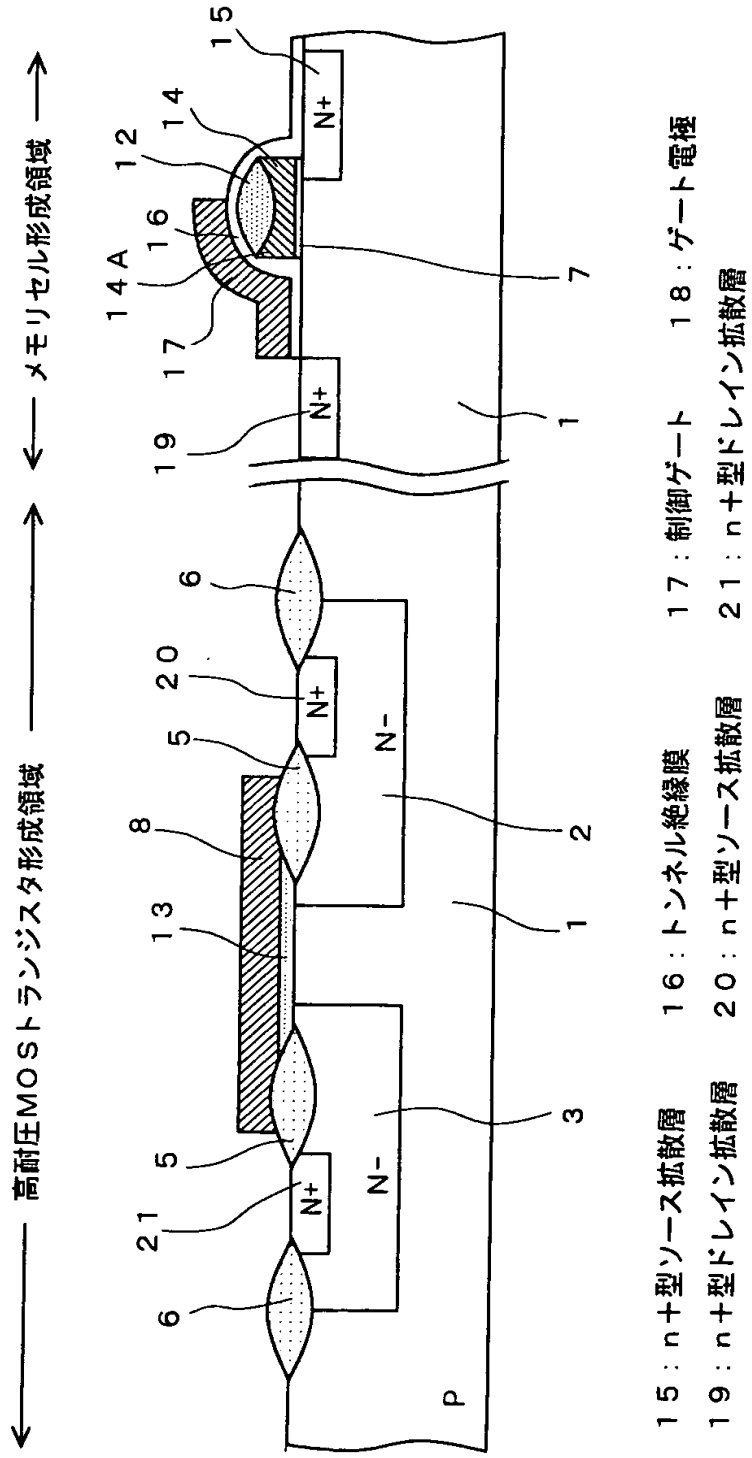


【図 5】

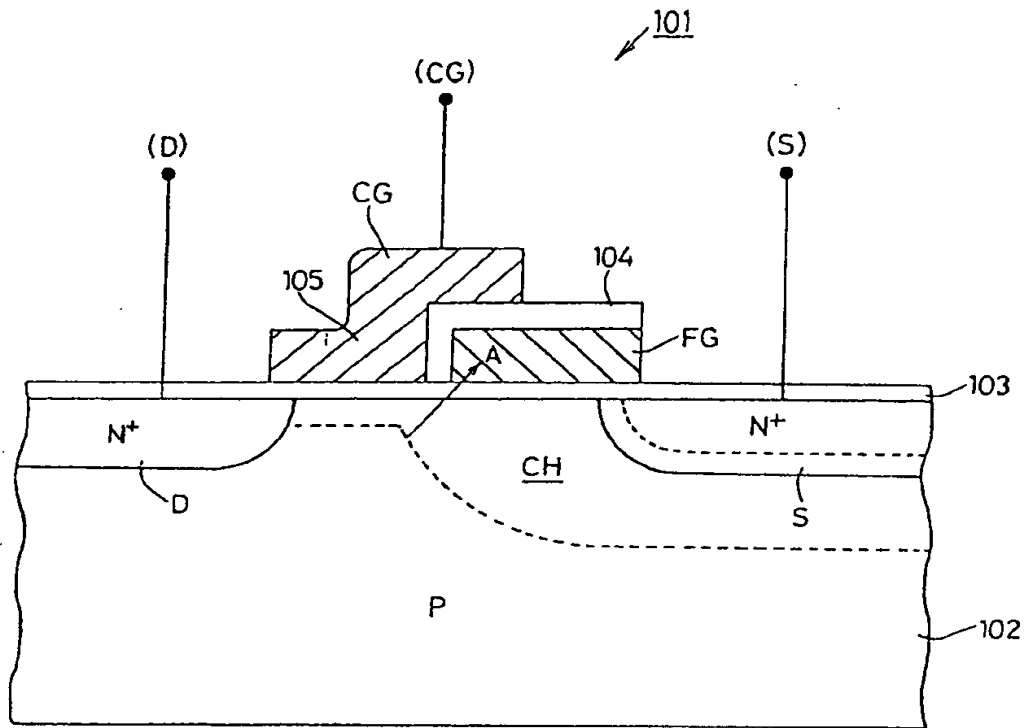


14: 浮遊ゲート 14A: 浮遊ゲート14の角部

【図 6】



【図 7】



【書類名】 要約書

【要約】

【課題】 不揮発性メモリセルの特性を変動させることなく、不揮発性メモリセルと高耐圧MOSトランジスタとを同一半導体チップ上に形成する。

【解決手段】 浮遊ゲート形成領域に形成するロコス状の酸化膜12の形成用の熱酸化工程を利用して、高耐圧MOSトランジスタのゲート絶縁膜13を形成する。

【選択図】 図4

出 願 人 履 歴 情 報

識別番号 [000001889]

1. 変更年月日	1993年10月20日
[変更理由]	住所変更
住 所	大阪府守口市京阪本通2丁目5番5号
氏 名	三洋電機株式会社